

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-173785

(43)Date of publication of application : 13.07.1993

(51)Int.Cl.

G06F 9/38

(21)Application number : 03-357031

(71)Applicant : KOUFU NIPPON DENKI KK

(22)Date of filing : 25.12.1991

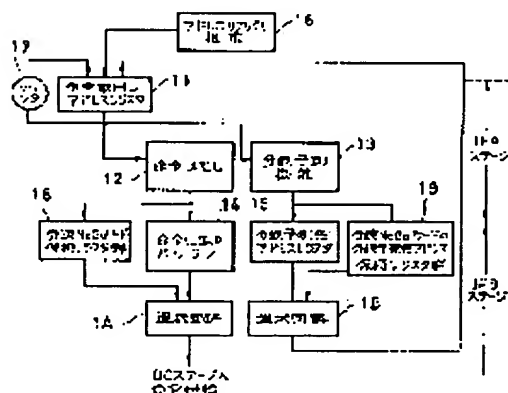
(72)Inventor : KAZUNO MASANORI

(54) INSTRUCTION PREFETCHING DEVICE

(57)Abstract:

PURPOSE: To accelerate the execution of a branching instruction when branch GO prediction is failed by storing an instruction word containing the plural branching instructions, for which branch GO prediction is executed, in an instruction prefetch buffer.

CONSTITUTION: An instruction prefetch buffer 14 stores the instruction sequences of words containing 1st-Nth branching instructions (N is an integer ≥ 2), a branch predictive destination address register 15 sets a branch predictive destination address corresponding to the branching instruction for which branch GO prediction is executed, and an instruction extract address register 11 sets the address of a word following to the word containing the branching instruction for which branch GO prediction is executed. When the branching instruction is executed and branch NOGO is judged by failing branch prediction, an instruction on the side of branch NOGO held in a branch NOGO word holding register group 18 is impressed to a selecting circuit 1A, and the instruction on the branch NOGO side is supplied to an instruction decode(DC) stage by the selecting circuit 1A.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

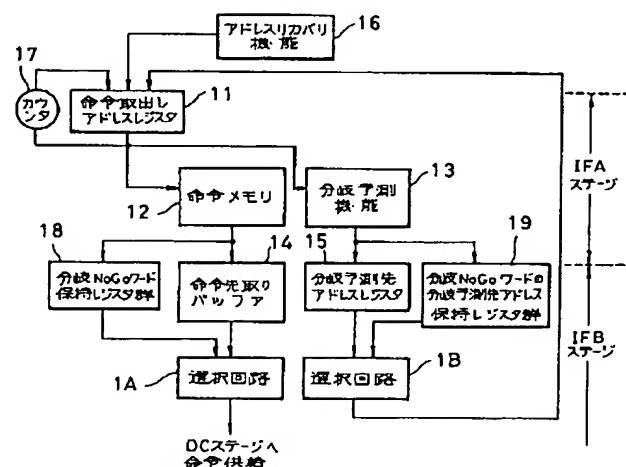
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(11)特許出願公開番号



1

【特許請求の範囲】

【請求項1】 命令取出しアドレスレジスタのアドレスによりメモリから命令を取出して命令先取りバッファに格納すると同時に前記アドレスにより分岐予測手段を索引して分岐予測アドレスを生成する第1のステージと、前記命令先取りバッファの命令を次段の命令解読ステージへ供給すると同時に前記分岐予測先アドレスを前記命令取出しアドレスレジスタに供給する第2のステージとからなる命令先取りステージを有するパイプライン処理方式の情報処理装置における命令先取り装置であって、分岐命令のN₀G₀方向の命令を格納する分岐N₀G₀ワード保持レジスタと、前記メモリから読出された分岐命令を含む命令ワードを前記命令先取りバッファに格納する際に、前記分岐予測手段により分岐G₀予測された第1～第N（Nは2以上の整数）分岐命令を含む命令ワードを前記命令先取りバッファに夫々格納し、これ等命令ワードの各々に続いて前記第1～第Nの分岐命令の分岐N₀G₀方向の命令を含む命令ワードを分岐N₀G₀ワードとして前記分岐N₀G₀ワード保持レジスタに夫々格納制御する手段と、前記分岐G₀予測された分岐命令が実行されて分岐予測失敗して分岐N₀G₀と判定された場合に、前記分岐N₀G₀ワード保持レジスタに格納されている前記分岐N₀G₀ワードの命令を前記命令解読ステージへ供給し、その後の命令先取りは前記分岐N₀G₀ワードの後続ワードから開始するよう制御する手段とを含むことを特徴とする命令先取り装置。

【請求項2】 前記分岐予測手段により分岐G₀予測された前記第1～第Nの分岐命令の各分岐先アドレスを格納する分岐予測先アドレスレジスタと、前記分岐予測手段により予測が行われた第1～第Nの前記分岐N₀G₀ワード内に含まれている分岐命令に対する各分岐予測先アドレスを保持する分岐N₀G₀ワード分岐予測先アドレスレジスタと、これ等両レジスタの出力を選択して前記命令取出しレジスタへ格納制御する手段とを含むことを特徴とする請求項1記載の命令先取り装置。

【発明の詳細な説明】

【0001】

【技術分野】 本発明は命令先取り装置に関し、特に分岐予測手段を用いて命令先取りを行うパイプライン処理方式を採用した情報処理装置の命令先取り方式に関する。

【0002】

【従来技術】 従来、この種の分岐予測手段による命令先取り機能を有するパイプライン処理方式の情報処理装置では、分岐予測テーブル等による分岐予測手段によって、命令の先取りを行い、結果的に分岐命令を高速に実行するようになっている。

【0003】 この様な方式は、特公昭50-22384号公報、特開昭55-99655号公報、特開昭57-59253号公報等において提案されており、既にいくつかの情報処理装置で実施されている。

2

【0004】 これ等の方式では、分岐命令について、その実行の度に実行結果の履歴を保持しておき、次にその分岐命令が実行されようとするときには、その履歴情報（分岐成立／不成立、分岐先アドレス）を反映させて、命令先取りを効果的に実行するようになっている。

【0005】 すなわち、この様な方式では、命令先取りの予測が適中する限りにおいては、分岐命令を高速に実行できる効果がある。

【0006】 一般にパイプライン制御方式による情報処理装置は、命令の実行フェーズを以下に述べる各ステージに分割し、その各ステージの機能を果たすためのハードウェアを設け、各ステージサイクルを各命令が逐次くまなく実行するようにして見かけ上1命令当り1ステージサイクルで実行ができるように制御されている。

【0007】 ①IFステージ（命令先取りステージ）

命令取出しアドレスにより、メモリから命令を取出すステージ。

【0008】 ②DCステージ（命令解読ステージ）

命令レジスタに命令が読出されその命令の種類を解読するステージ。

【0009】 ③ADステージ（アドレス生成ステージ）

その命令が必要とするアドレスを生成するステージであり、分岐命令であるならば、その分岐命令が実際に分岐する分岐先アドレスが生成される。

【0010】 ④OFステージ（オペランド取出しステージ）

演算に使用するオペランドを取出すステージ。

【0011】 ⑤EXステージ（演算ステージ）

演算を実行するステージであり、分岐命令の場合、このステージで分岐成立か否かが確定する。

【0012】 更に、本発明に特に関係するIF（命令取出し）ステージは複数ステージからなり、一般には以下のステージに分割されている（尚、更に細いステージに分割されていることもある）。

【0013】 ①IFAステージ（命令アクセスステージ）

命令取出しアドレスにより、メモリから命令を取出して命令バッファに格納するステージであり、同時に命令取出しアドレスにより分岐予測機能を索引し、分岐予測先アドレスを生成するステージ。

【0014】 ②IFBステージ（命令供給ステージ）

命令バッファの命令を、次段のDCステージの命令レジスタへ供給すると同時に、分岐予測機能により生成された分岐予測先アドレスをIFAステージへ供給するステージ。

【0015】 図2に従来のIFステージの構成を示す。

命令取出しレジスタ11は先取りする命令のアドレスを保持し、このアドレスにより命令メモリ12と分岐予測機能13とを同時に索引する。それと同時に、カウンタ17により後続命令のアドレスを生成して命令取出しア

3

ドレスレジスタ11へセットする。

【0016】命令メモリ12（このメモリは主記憶でもキャッシュメモリでも可）からの命令は命令先取りバッファ14に格納されてDCステージへの命令供給がなされる。同時に分岐予測機能13により分岐予測が行われて分岐予測先アドレスが生成され、これが分岐予測先アドレスレジスタ15にセットされる。

【0017】分岐G○予測の場合、分岐予測先アドレスレジスタ15から命令取出しアドレスレジスタ11に分岐予測先アドレスがセットされ、予測先の命令取出しが行われる。アドレスリカバリ機能16は分岐予測失敗時に命令を取出すための新しいアドレスを命令取出しレジスタ11にセットする。

【0018】図2に示した従来の命令先取り方式では、図3に示す命令列を実行する場合、図4に示す様に、分岐命令Dの分岐予測がIFBステージで行われ、このIFBステージで生成された分岐予測先アドレス100の命令L、Mを取出すまでの間に、既に命令取出しを行っている分岐G○側の命令E、Fは無効な命令として捨てられている。従って、メモリの索引効率が低下し、命令供給能力が低下する原因になるという欠点がある。

【0019】更に、図3で示す命令列の分岐命令Dが分岐G○予測され、分岐予測失敗して分岐N○G○と判定された場合、図4に示す如く、分岐命令Dの実行は6Tとなり、N○G○側の命令Eに関しては、タイミングT3において、メモリ12から取出されているにもかかわらず、N○G○側の命令であるために捨てられている。

【0020】分岐命令Dの実行によりN○G○と判定されたとき、再びN○G○側の命令Eを取出しているのので、命令取出し動作が同一命令に対して2回実行されることになり、命令取出しのメモリ索引効率が低下し、命令供給能力が低下するという欠点がある。

【0021】図4に示した分岐命令の実行T数（6T）を削減する方式としては、図5に示す様にADステージで分岐命令Dの分岐先アドレスが確定するときに、予測と反対方向の命令取出しに起動をかける方式がある。

【0022】分岐命令Dの実行T数は4Tになるが、分岐命令Dの実行結果を待たずして予測と反対方向の命令取出しを行うために、分岐命令Dに関する予測が成功する場合は、予測と反対方向の命令取出し動作は中止され、予測方向の先取りが継続される。

【0023】しかしながら、予測と反対方向の命令取出し動作によって予測方向の先取りが中断されることになり、メモリの索引効率が低下し、命令供給能力が低下する。また、前述した如く、N○G○側の命令Eに対しては、命令取出し動作が2回実行され、メモリの索引効率が同様に低下し、命令供給能力が低下するという欠点がある。

【0024】

【発明の目的】本発明の目的は、分岐G○予測失敗時の

4

分岐命令実行の高速化を図ると共に、メモリ索引効率を向上させて命令供給能力を向上可能とした命令先取り装置を提供することである。

【0025】

【発明の構成】本発明による命令先取り装置は、命令取出しアドレスレジスタのアドレスによりメモリから命令を取出して命令先取りバッファに格納すると同時に前記アドレスにより分岐予測手段を索引して分岐予測アドレスを生成する第1のステージと、前記命令先取りバッファの命令を次段の命令解読ステージへ供給すると同時に前記分岐予測先アドレスを前記命令取出しアドレスレジスタに供給する第2のステージとからなる命令先取りステージを有するパイプライン処理方式の情報処理装置における命令先取り装置であって、分岐命令のN○G○方向の命令を格納する分岐N○G○ワード保持レジスタと、前記メモリから読出された分岐命令を含む命令ワードを前記命令先取りバッファに格納する際に、前記分岐予測手段により分岐G○予測された第1～第N（Nは2以上の整数）分岐命令を含む命令ワードを前記命令先取りバッファに夫々格納し、これ等命令ワードの各々に続いて前記第1～第Nの分岐命令の分岐N○G○方向の命令を含む命令ワードを分岐N○G○ワードとして前記分岐N○G○ワード保持レジスタに夫々格納制御する手段と、前記分岐G○予測された分岐命令が実行されて分岐予測失敗して分岐N○G○と判定された場合に、前記分岐N○G○ワード保持レジスタに格納されている前記分岐N○G○ワードの命令を前記命令解読ステージへ供給し、その後の命令先取りは前記分岐N○G○ワードの後続ワードから開始するよう制御する手段とを含むことを特徴とする。

【0026】

【実施例】以下、図面を用いて本発明の実施例について説明する。

【0027】図1は本発明の実施例のブロック図であり、図2と同等部分は同一符号により示す。本例では、分岐N○G○ワード保持レジスタ群18と、このレジスタ群18と命令先取りバッファ14との出力を選択して次のDCステージへ供給する選択回路1Aと、分岐N○G○ワードの分岐予測先アドレスを格納するレジスタ群19と、このレジスタ群19とレジスタ15との出力を選択して命令取出しアドレスレジスタ11へ供給する選択回路1Bとが付加されている。

【0028】命令取出しアドレスレジスタ11には、メモリ12から読出す命令のアドレスが保持されており、メモリ12、分岐予測機能13、カウンタ17に夫々保持アドレス2が供給される。

【0029】命令メモリ12から命令ワード単位（例えば、1命令を4バイトとし、1ワードを8バイトとすると、1回の命令メモリからの読出し動作で2命令取出せる）で読出され、命令先取りバッファ14に格納され

10

20

30

40

50

5

る。同じサイクルに分岐予測機能13が索引され、分岐G○予測の場合、分岐予測先アドレスが生成されると、分岐予測先アドレスレジスタ15にセットされる。

【0030】同じサイクルで、カウンタ17によって命令取出しアドレスは後続のワードを取出すために8バイト分加算され、命令取出しアドレスレジスタ11にセットされる。

【0031】上記動作により分岐G○予測として動作した場合、命令先取りバッファ14には、分岐命令を含むワードの命令列が格納されており、分岐予測先アドレスレジスタ15には、分岐G○予測された分岐命令に対する分岐予測先アドレスがセットされており、命令取出しアドレスレジスタ11には、分岐G○予測された分岐命令を含むワードの後続ワード、すなわち、分岐命令のN○G○方向の命令を含むワードのアドレスがセットされている。次のサイクルで、命令先取りバッファ14に格納されている命令は選択回路1Aを経てDCステージに供給される。

【0032】同じサイクルで分岐予測先アドレスレジスタ15にセットされている分岐予測先アドレスは、選択回路1Bを経て命令取出しアドレスレジスタ11にセットされる。同じサイクルで、命令取出しアドレスレジスタ11にセットされていた分岐N○G○ワードのアドレスにより、命令メモリ12から分岐N○G○ワードが読出され、分岐N○G○ワード保持レジスタ群18に保持される。次のサイクル以降は、命令取出しアドレスレジスタ11にセットされている分岐予測先アドレスから命令の取出しが続けられ、命令先取りバッファ14からは予測に従った命令がDCステージへ供給される。

【0033】分岐命令が実行され、分岐予測が失敗し分岐N○G○と判定された場合に、分岐N○G○ワード保持レジスタ群18に保持されている分岐N○G○側の命令が、選択回路1Aに与えられ、選択回路1Aにより分岐N○G○側の命令はDCステージに供給される。

【0034】同じサイクルで、アドレスリカバリ機能16は分岐N○G○ワードに後続するアドレスを生成し、命令取出しアドレスレジスタ11にセットする。次のサイクル以降は、命令取出しアドレスレジスタ11にセットされた分岐N○G○ワードに後続するアドレスから命令の取出しが続けられ、命令先取りバッファ14に格納される。

【0035】選択回路1Aは、分岐N○G○ワード保持レジスタ群18に供給可能な命令が残っている場合は、レジスタ群18の出力を選択し、供給可能な命令がなくなった場合には、命令先取りバッファ14から分岐N○G○ワードの後続のワードに含まれている命令を供給する

【0036】上記動作により、図3に示される命令列を実行した場合、図6に示されるようになる。図6において、タイミングT2において分岐命令Dが分岐G○予測

6

され、分岐予測先アドレスが生成された場合、タイミングT3において、従来捨てられていた分岐N○G○側の命令E、Fは図1の分岐N○G○ワード保持レジスタ群18に保持される。

【0037】タイミングT8において、分岐G○予測失敗と判定された場合、タイミングT9において、DCステージに対して分岐N○G○ワード保持レジスタ群18に保持されていた命令Eが供給され、1FAステージのアドレスは図1のアドレスリカバリ機能16によって、分岐N○G○ワードの後続のワードのアドレス24が生成され、命令取出しアドレスレジスタ11にセットされる。

【0038】従って、図6に示すように、分岐命令Dの実行T数は4Tとなり、分岐N○G○側の命令E、Fに対するメモリアクセスも1回で済む。また、図5を用いて前述した分岐命令がADステージで分岐先アドレスが確定する時に予測と反対方向の命令取出しに起動をかける方式を用いなくても、分岐命令の実行T数が高速化され、しかも、不要な命令取出し動作も必要なくなり、メモリ索引効率が向上する。

【0039】次に、図1の分岐N○G○ワードの分岐予測先アドレス保持レジスタ群19を用いた動作について、先述の動作例と相違している部分についてのみ詳細に説明する。

【0040】図1を参照すると、分岐G○予測が行われ、分岐N○G○ワード保持レジスタ群18に分岐N○G○ワードがセットされるのと同じサイクルにおいて、分岐N○G○ワードに対しても分岐予測機能13によって分岐予測が行われている。従って、分岐N○G○ワード内に分岐命令が存在し、分岐G○予測された場合に、分岐予測機能13からは、分岐N○G○側ワード内の分岐命令に対する分岐予測先アドレスが生成される。その分岐予測先アドレスは分岐N○G○ワードの分岐予測先アドレス保持レジスタ群19に保持される。

【0041】分岐予測が失敗し分岐N○G○と判定された場合に、分岐N○G○側の命令が分岐N○G○ワード保持レジスタ群18から供給される。同じサイクルで、分岐N○G○ワードの分岐予測先アドレス保持レジスタ群19から、分岐N○G○ワードの分岐命令に対する分岐予測先アドレスが選択回路1Bに与えられ、選択回路1Bにより命令取出しアドレスレジスタ11にセットされ、分岐N○G○ワード内の分岐命令に対する分岐予測先アドレスの命令の先取りが開始される。

【0042】従って、分岐N○G○ワード内に存在する分岐命令に対しても分岐予測が有効となり、分岐予測率が向上し、命令先取りに関する機能の有効利用が図れる。

【0043】図7に示す命令列を、第1の実施例で実行した結果を図8に、第2の実施例で実行した結果を図9に夫々示す。

7

【0044】図7の分岐命令Bが分岐G○予測され、分岐命令BのN○G○側の命令である分岐命令Dに対しても、分岐予測機能により分岐予測先アドレスの生成が可能な状態で、分岐命令Bは分岐予測失敗し、結果N○G○となり分岐命令Dは、結果G○となる場合について説明する。

【0045】図7に示される命令が前記のような実行状態で実行された場合、第1の実施例では、図8で示すように、タイミングT2において、分岐N○G○ワード内の分岐命令Dに対する分岐予測先アドレスが生成されているにもかかわらず、保持する手段を持たないために捨てられてしまう。従って分岐命令Bが分岐予測失敗し、結果N○G○となった場合、タイミングT11において、分岐命令Dは、分岐予測先アドレスが存在しないため、分岐N○G○予測として扱われ、分岐N○G○予測失敗となり、実行に6Tを要してしまう。

【0046】上記の問題点を解決したのが第2の実施例であり、図9で示すように、タイミングT2において、分岐N○G○ワード内の分岐命令Dに対する分岐予測先アドレスを捨てることなく分岐N○G○ワードの分岐予測先アドレス保持レジスタ群19に保持することにより、分岐N○G○ワード内の分岐命令Dに対する分岐予測を可能としている。

【0047】タイミングT6において、分岐命令Bが分岐G○予測失敗と判定された場合に、タイミングT7において、分岐N○G○ワードの分岐予測先アドレスレジスタ群19に保持されていた分岐N○G○ワード内の分岐命令Dに対する分岐予測先アドレスが、選択回路1Bに与えられ、選択回路により命令先取アドレスレジスタ11にセットされる。

【0048】従って、N○G○ワード内の分岐命令Dに対する分岐予測が有効になり、タイミングT11において、分岐G○予測成功となり分岐命令Dの実行は1Tで行われる。

【0049】上記動作の説明では、分岐G○予測が1つだけの場合であるが、命令の先取りが進行し、先行する分岐G○予測が実行される前にさらに分岐G○予測が行われる場合がある。その場合分岐G○予測が行われる毎に、前記動作に従って、分岐N○G○ワードは分岐N○G○ワード保持レジスタ群18に順次格納され、分岐N○G○ワードに対する分岐予測先アドレスは分岐N○G○ワードの分岐予測先アドレス保持レジスタ群19に順次格納される。

【0050】分岐G○予測命令が実行された時に、分岐G○予測成功の場合は、実行された分岐G○予測命令に

8

対応する分岐N○G○ワード保持レジスタ群18の内容と分岐N○G○ワードの分岐予測先アドレス保持レジスタ群19の内容とが捨てられ、分岐G○予測失敗の場合は、前述した動作に従って、実行された分岐G○予測命令に対応する分岐N○G○ワード保持レジスタ群18の内容と分岐N○G○ワードの分岐予測先アドレス保持レジスタ群19の内容とが読出され、命令先取り動作が実行される。従って、複数の分岐G○予測に対応できるのである。

10 【0051】

【発明の効果】本発明によれば、分岐予測が失敗した場合に、分岐命令の実行の高速化を図ることが可能になると共に、メモリ索引効率を向上させて命令供給能力を向上させるという効果がある。また、複数の分岐G○予測に対応できるという効果もある。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

【図2】従来の命令先取り装置のブロック図である。

【図3】分岐命令を有する命令列の一例を示す図である。

【図4】従来方式による分岐G○予測が予測失敗したときの実行経過の一例を示すタイムチャートである。

【図5】従来方式による分岐G○予測が予測失敗したときの実行過程の他の例を示すタイムチャートである。

【図6】本発明の第1の実施例による分岐G○予測が予測失敗したときの実行過程を示すタイムチャートである。

【図7】本発明の実施例に用いる命令列を示す図である。

【図8】第1の実施例により図7の命令列を実行する過程を示すタイムチャートである。

【図9】第2の実施例により図8の命令列を実行する過程を示すタイムチャートである。

【符号の説明】

1A, 1B 選択回路

11 命令取出しアドレスレジスタ

12 命令メモリ

13 分岐予測機能

14 命令先取りバッファ

15 分岐予測先アドレスレジスタ

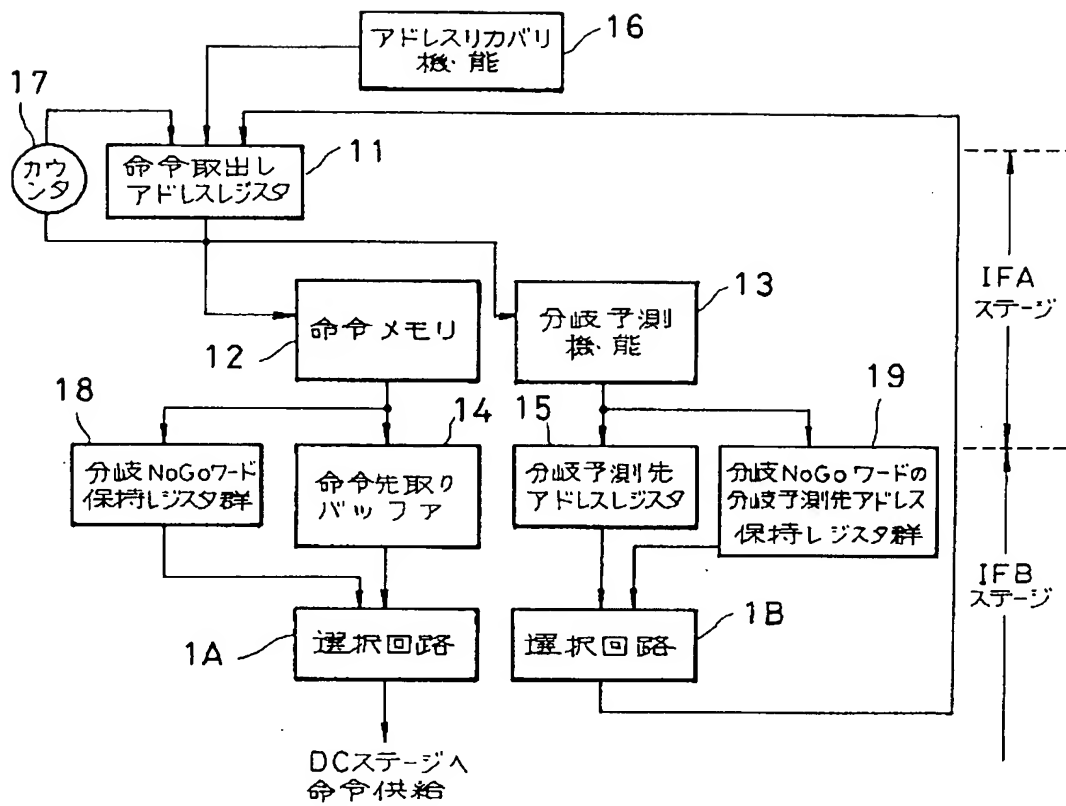
16 アドレスリカバリ機能

17 カウンタ

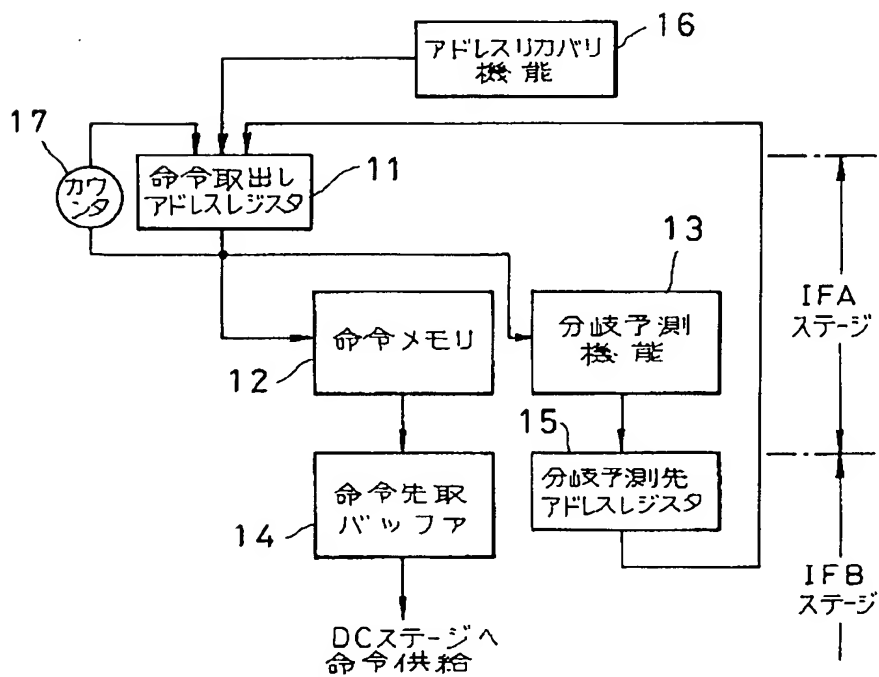
18 分岐N○G○ワード保持レジスタ群

19 分岐N○G○ワードの分岐予測先アドレスレジスタ群

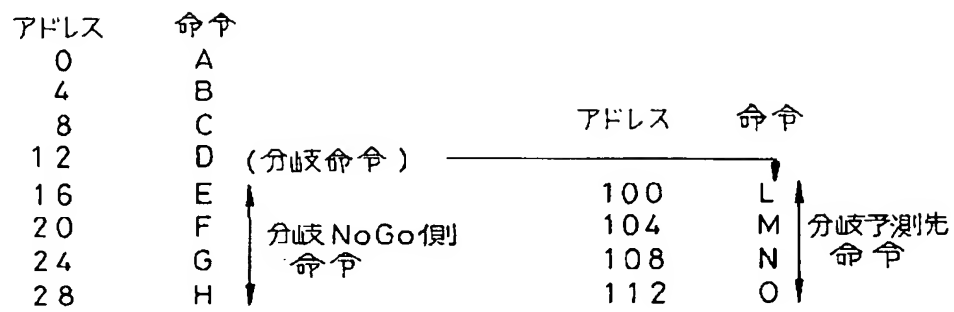
【図1】



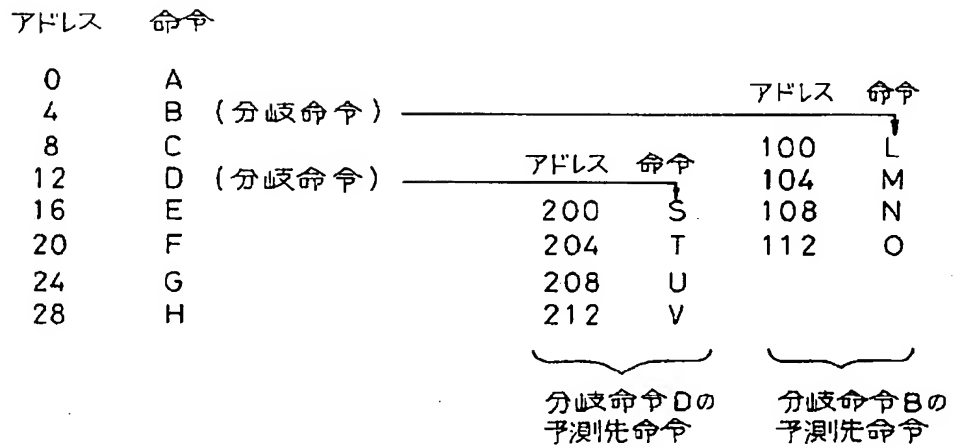
【図2】



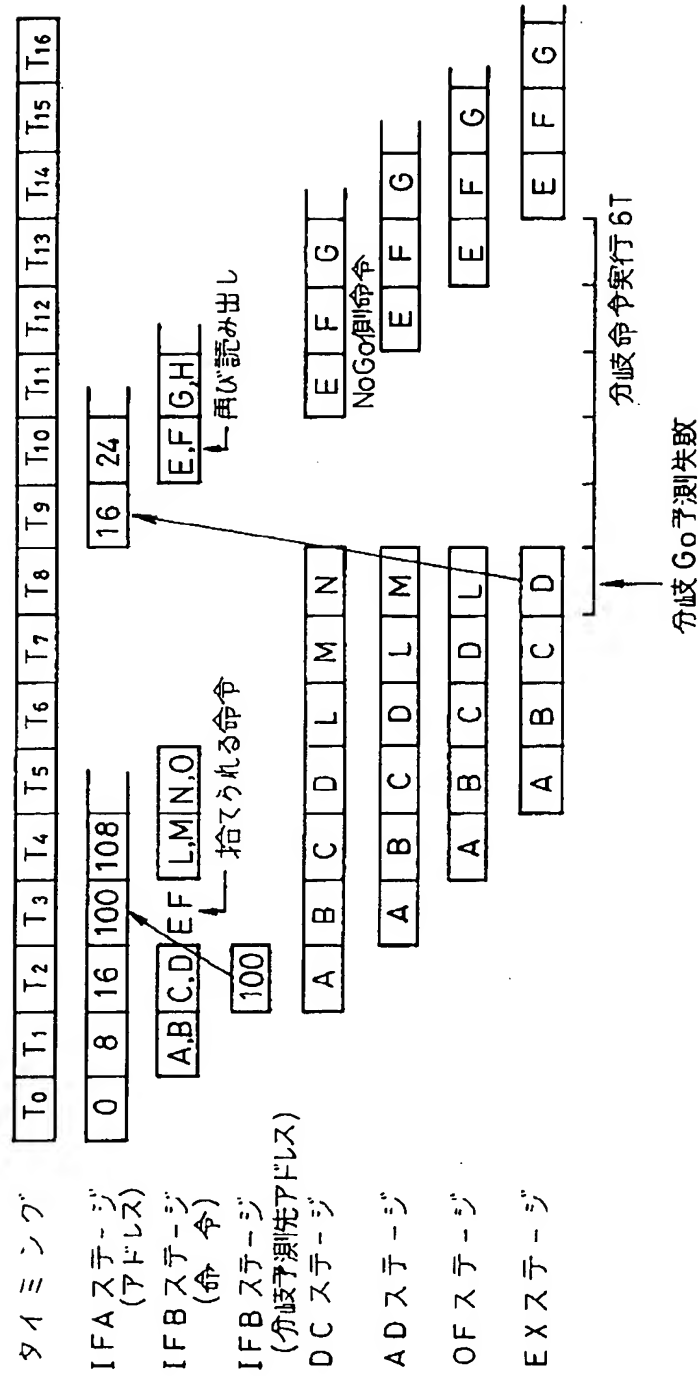
【図3】



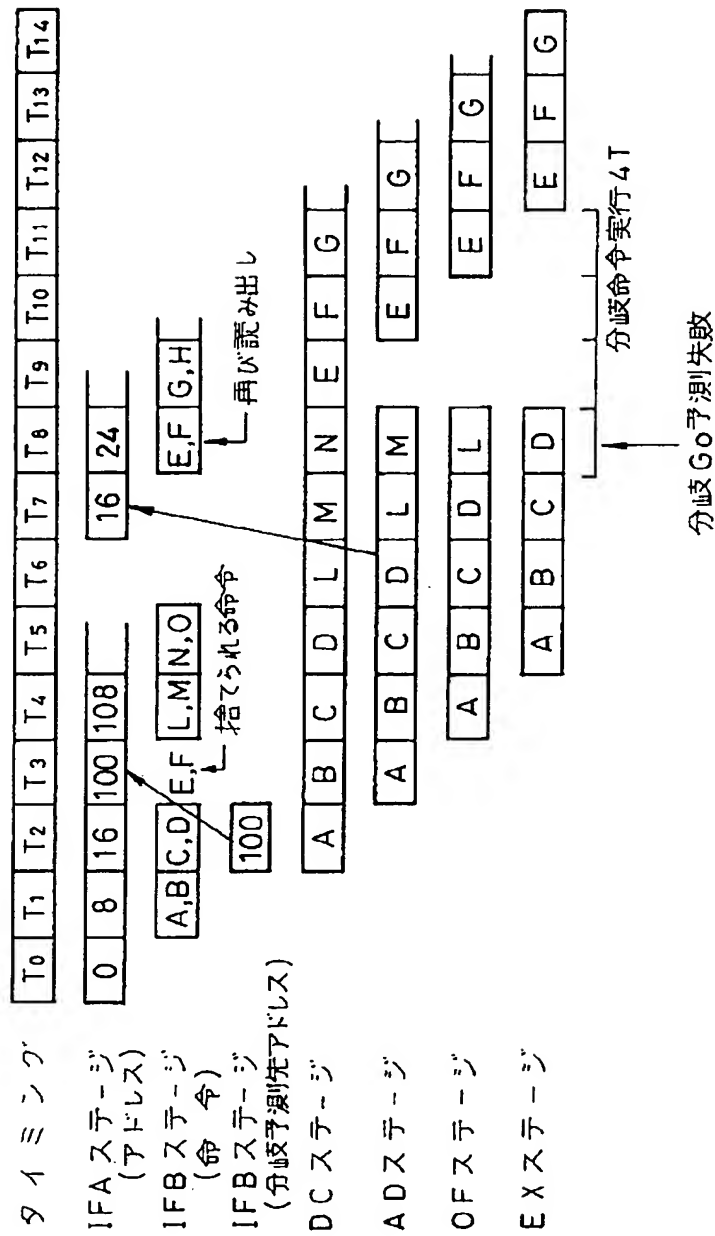
【図7】



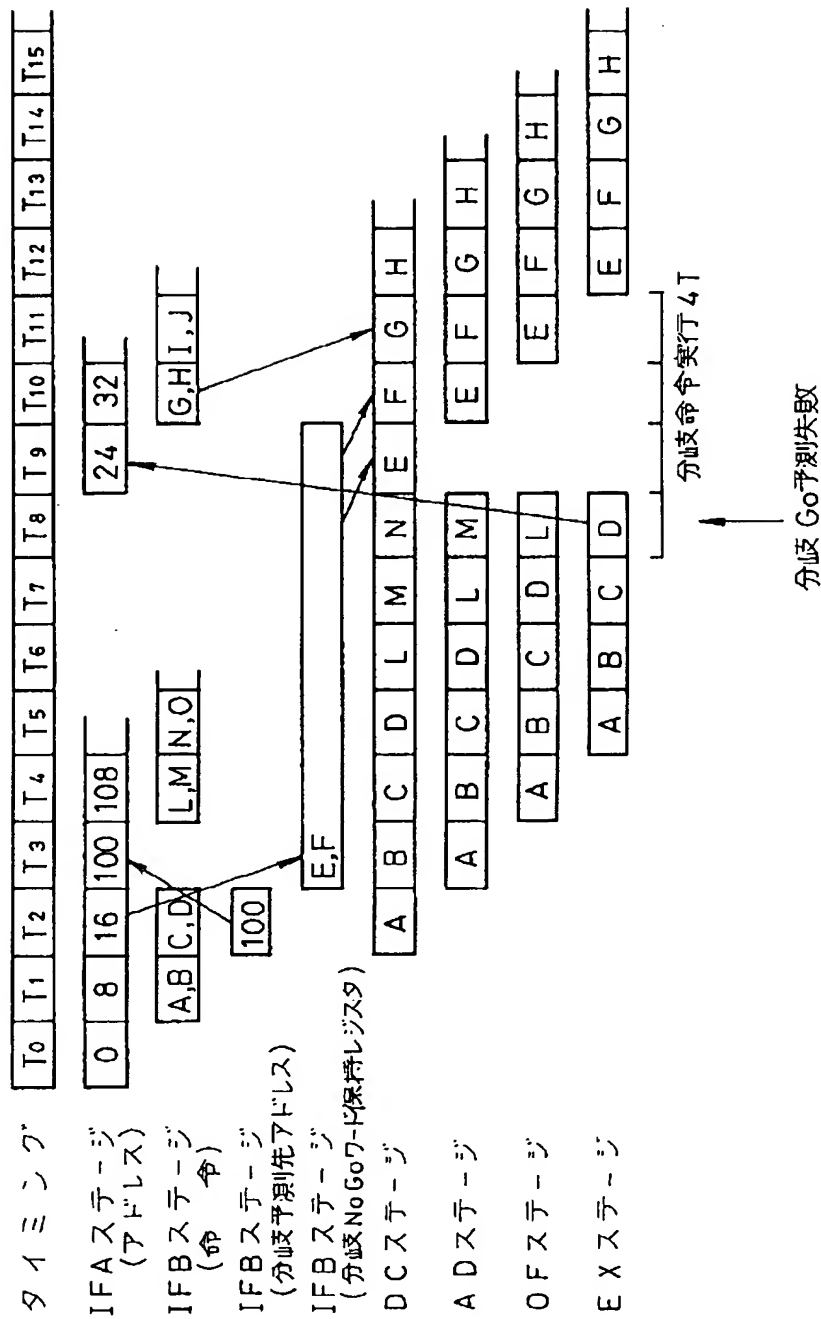
【図4】



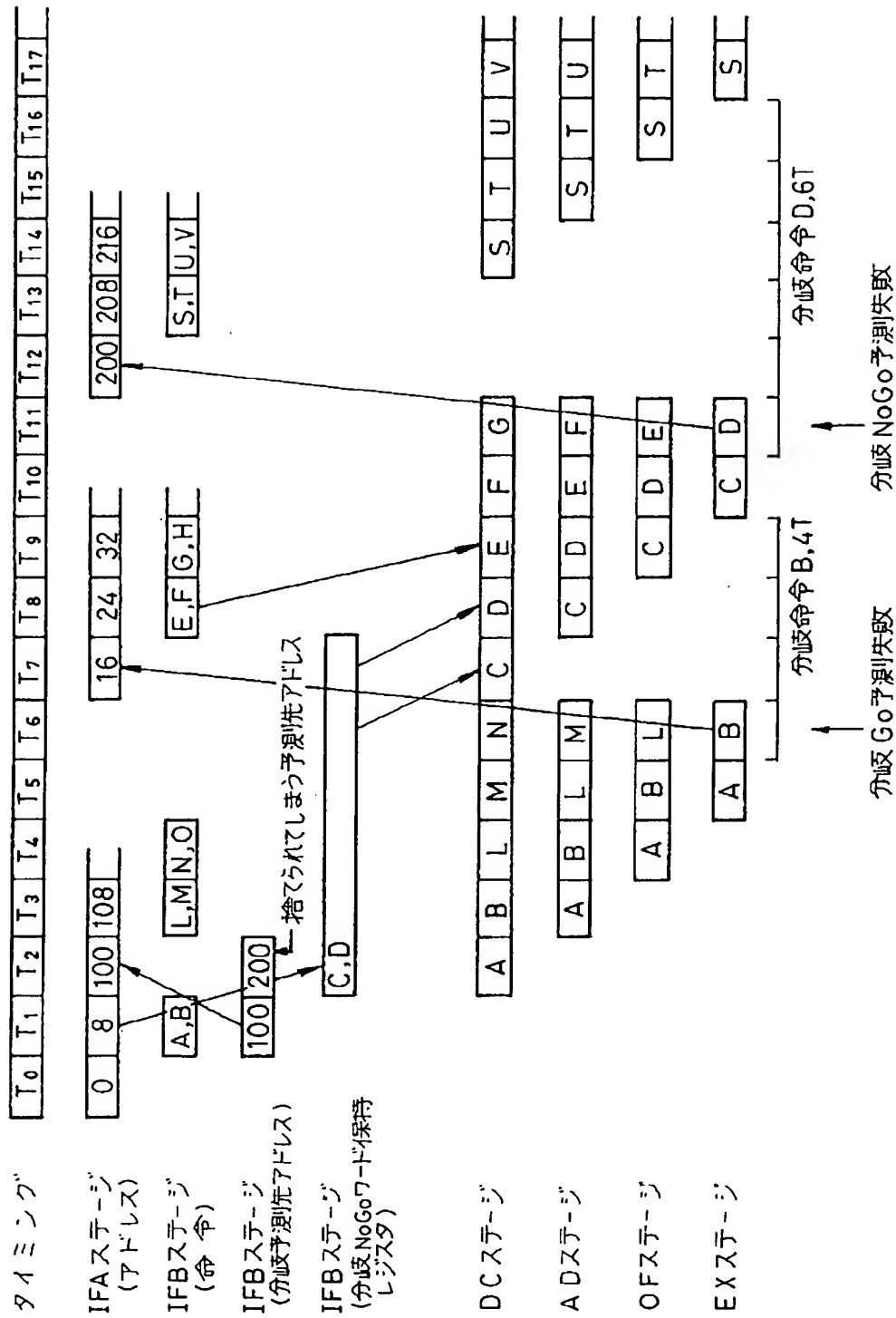
【図5】



【図6】



【図8】



【図9】

